

10592925

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
29. September 2005 (29.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/091131 A2

(51) Internationale Patentklassifikation⁷: G06F 9/38

(21) Internationales Aktenzeichen: PCT/DE2005/000430

(22) Internationales Anmeldedatum:
10. März 2005 (10.03.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 012 516.3 15. März 2004 (15.03.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HACHMANN, Ulrich
[DE/DE]; Römerfeld 19, 85579 Neubiberg (DE). SAUER,

Christian [DE/DE]; Clemens-Schöps-Str. 2, 85521 Otto-
brunn (DE).

(74) Anwalt: DOKTER, Eric-Michael; Viering, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).

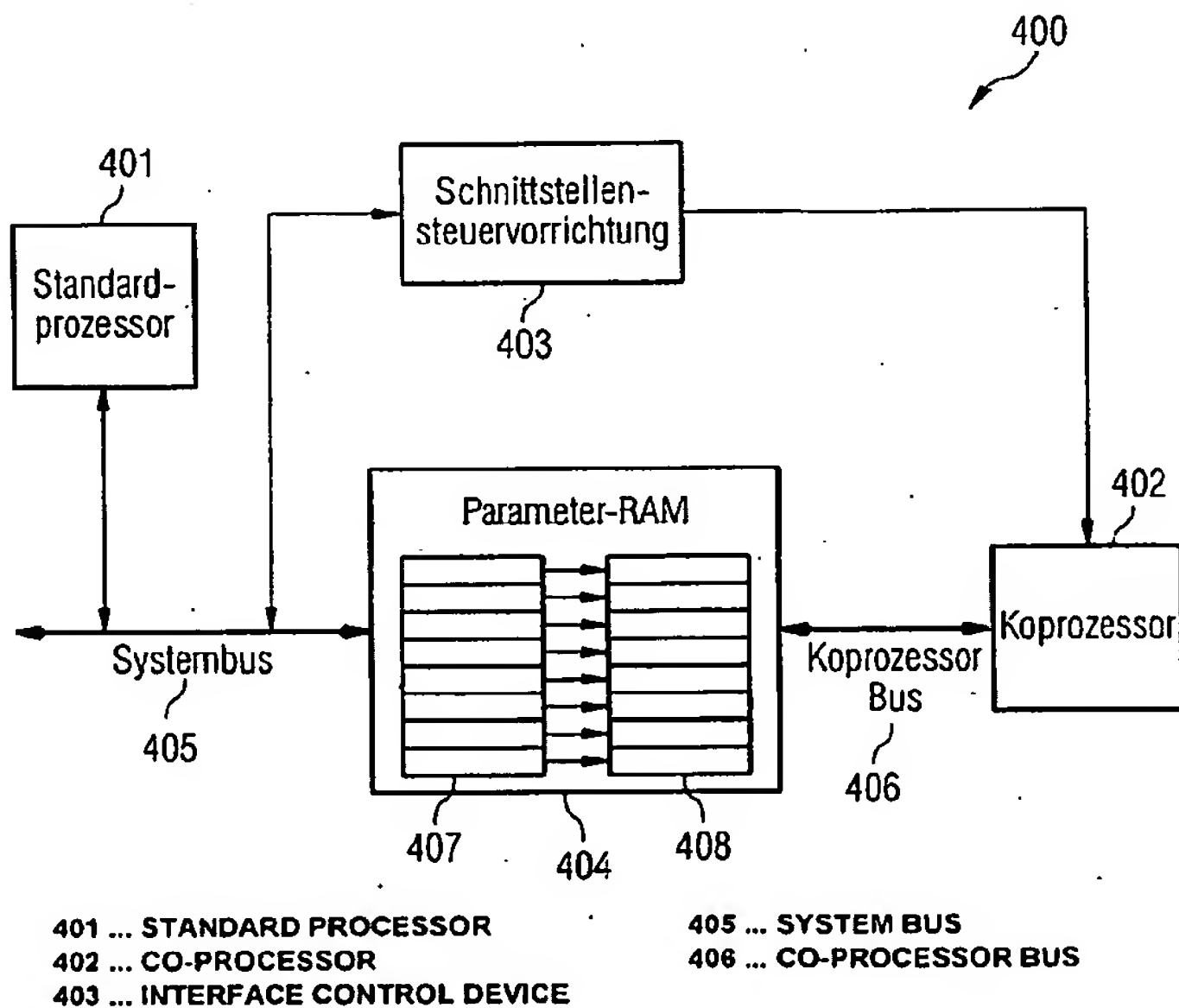
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,

[Fortsetzung auf der nächsten Seite]

(54) Title: COMPUTER SYSTEM FOR ELECTRONIC DATA PROCESSING

(54) Bezeichnung: COMPUTERSYSTEM ZUR ELEKTRONISCHEN DATENVERARBEITUNG



(57) Abstract: The invention relates to a computer system for electronic data processing, comprising a first data processing unit, a second data processing unit and a data transmission/memory device which can transmit sets of data from the data processing unit to the second data processing unit, whereby the data transmission/memory device comprises a first memory region and a second memory region.

[Fortsetzung auf der nächsten Seite]

WO 2005/091131 A2



GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

(57) Zusammenfassung: Ein Computersystem zur elektronischen Datenverarbeitung wird bereitgestellt, das eine erste Datenverarbeitungseinheit, eine zweite Datenverarbeitungseinheit und eine Datenübertragungs-Speichereinrichtung aufweist, welche eingerichtet ist, Datensätze von der ersten Datenverarbeitungseinheit an die zweite Datenverarbeitungseinheit zu übertragen, wobei die Datenübertragungs-Speichereinrichtung einen ersten Speicherbereich und einen zweiten Speicherbereich aufweist.

Computersystem zur elektronischen Datenverarbeitung

Die Erfindung betrifft ein Computersystem zur elektronischen Datenverarbeitung, die eine erste Datenverarbeitungseinheit
5 und eine zweite Datenverarbeitungseinheit aufweist.

Moderne Computersystem weisen neben einer zentralen Datenverarbeitungseinheit in Form eines Mikroprozessors häufig eine weitere Datenverarbeitungseinheit auf, die
10 üblicherweise Koprozessor genannt wird.

Ein Koprozessor ist im Gegensatz zu der zentralen Datenverarbeitungseinheit, die im Weiteren als Standardprozessor bezeichnet wird, typischerweise auf
15 bestimmte computertechnische Aufgaben spezialisiert.

Aufgrund der Spezialisierung auf bestimmte Aufgaben ist der Koprozessor typischerweise in der Lage, bestimmte Computerprogramm-Instruktionen schneller als der
20 Standardprozessor auszuführen.

Unter einer schnelleren Ausführung einer Instruktion ist hierbei zu verstehen, dass die Instruktion nach einer geringeren Anzahl von Standardprozessor-Taktzyklen von dem
25 Koprozessor ausgeführt ist, als für ihre Ausführung erforderlich ist, wenn der Standardprozessor die Instruktion selbst ausführt.

Beispielsweise weisen viele moderne Personal-Computer eine
30 Grafikkarte mit eigenem Grafik-Koprozessor auf. Dieser Grafik-Koprozessor ist aufgrund seiner Spezialisierung auf Grafik-Berechnungen in der Lage, rechenaufwändige Grafik-Berechnungen, beispielsweise Berechnungen von Licht-Effekten

in einer 3D-Landschaft, erheblich schneller auszuführen als der Standardprozessor des Personal-Computers.

Ein auf bestimmte Aufgaben spezialisierter Koprozessor kann
5 sich somit dazu eignen, den Standardprozessor bei Anwendungen, die Aufgaben aufweisen, auf die der Koprozessor spezialisiert ist, zu entlasten.

Die Spezialisierung der Koprozessoren führt zu einer,
10 verglichen mit dem Standardprozessor, geringeren Flexibilität. Koprozessoren sind typischerweise nicht in der Lage, komplette Computerprogramme selbständig auszuführen, sondern werden von einem Standardprozessor mit Instruktionen und mit für die Ausführung dieser Instruktionen
15 erforderlichen Daten versorgt. Das heißt, dass der Standardprozessor an den Koprozessor typischerweise einen Datensatz übermittelt, der eine Spezifikation der auszuführenden Instruktion selbst und eine Spezifikation der Daten, die für die Ausführung der Instruktion erforderlich
20 sind, enthält.

Beispielsweise übermittelt ein Standardprozessor an einen ihm zugeordneten Koprozessor einen Datensatz, der einen Bit-Code, der die Instruktion "Addiere zwei Datenelemente"
25 spezifiziert, enthält und welcher Datensatz außerdem zwei Speicheradressen enthält, die zwei Speicherzellen eines Computer-Datenspeichers adressieren, in denen die zu addierenden Datenelemente gespeichert sind.

30 Diese Spezifikation der Instruktion und die Spezifikation der Daten, die für die Ausführung der Instruktion erforderlich sind, werden im Folgenden als die Instruktionsparameter der Instruktion oder als die für eine Instruktion erforderlichen (Instruktions-)Parameter bezeichnet.

Die Anzahl der für unterschiedliche Instruktionen erforderlichen Parameter ist unterschiedlich. Ebenso ist der Speicherbedarf der für unterschiedliche Instruktionen erforderlichen Parameter unterschiedlich.

Viele Computersysteme weisen beispielsweise einen Fließkommaprozessor auf, d.h. einen Koprozessor, der auf die Durchführung von Fließkommaoperationen spezialisiert ist. Solch ein Koprozessor eines Computersystems wird von dem Standardprozessor des Computersystems mit Instruktionen versorgt, für die wenige Instruktionsparameter erforderlich sind.

Dies hat den Grund, dass die Daten, die bei den diesen Instruktionen entsprechenden Operationen verarbeitet werden, nur einzelne Fließkomma-Werte oder kleine Vektoren mit wenigen (z.B. vier) Fließkomma-Komponenten enthalten. Somit wird nur eine geringe Menge von Daten bei solchen Instruktionen verarbeitet, weshalb nur eine geringe Anzahl von Parametern erforderlich ist, um diese Daten zu spezifizieren. Aufgrund der geringen Anzahl der erforderlichen Parameter ist auch der Speicherbedarf der Parameter gering.

Um eine Instruktion, mit der der Fließkomma-Prozessor versorgt wird, selbst zu spezifizieren, sind ebenso nur wenige Parameter mit einem geringen Speicherbedarf erforderlich, da Fließkomma-Instruktionen typischerweise mittels weniger Bit spezifiziert werden können.

Dieser Fall, in dem die Parameter, die für die Instruktionen, mit denen ein Koprozessor von einem Standardprozessor versorgt wird, einen geringen Speicherbedarf, beispielsweise

aufgrund ihrer geringen Anzahl, aufweisen, wird im Folgenden als starke Kopplung des Standardprozessors und des Koprozessors bezeichnet.

- 5 Bei solch einer starken Kopplung benötigt der Koprozessor typischerweise nur wenig Standardprozessor-Taktzyklen für die Ausführung einer Instruktion, mit der ihn der Standardprozessor versorgt hat.
- 10 Bei einer sogenannten schwachen Kopplung eines Standardprozessors und eines Koprozessors sind für die Instruktionen, mit denen der Standardprozessor den Koprozessor versorgt, jeweils eine höhere Anzahl von Parametern mit höherem Speicherbedarf erforderlich, als bei
- 15 der starken Kopplung der beiden Prozessoren.

In diesem Sinne schwach gekoppelte Prozessoren bearbeiten komplexere Aufgaben als stark gekoppelte Prozessoren, für deren Bearbeitung die schwach gekoppelten Prozessoren

20 typischerweise eine hohe Anzahl von Standardprozessor-Taktzyklen benötigen.

Beispielsweise führen Grafik-Koprozessoren Instruktionen aus, für die eine hohe Anzahl von Parametern erforderlich sind. So

25 können beispielsweise bis zu 30 Parameter nötig sein, um die Eckpunkte eines darzustellenden 3D-Objekts, die Textur oder die Belichtung des 3D-Objekts zu spezifizieren. Für die Ausführung komplexer Grafikinstruktionen ist eine hohe Zeitspanne, d.h. viele Standardprozessor-Taktzyklen,

30 erforderlich. Während der Zeitspanne, in der der Koprozessor eine Grafikinstruktion ausführt, kann der Standardprozessor andere Instruktionen ausführen.

Damit ein Koprozessor eine Instruktion ausführen kann, muss der Standardprozessor die für die Instruktion erforderlichen Parameter, welche die Instruktion selbst und die Daten, welche zur Ausführung der Instruktion erforderlich sind, spezifizieren, an den Koprozessor übermitteln.

Diese Kommunikation kann speziell im Falle einer schwachen Kopplung von Standardprozessor und Koprozessor aufgrund des hohen Speicherbedarfs der zu übermittelnden Parameter einen großen Zeitbedarf, d.h. eine hohe Anzahl von Standardprozessor-Taktzyklen, zu denen der Standardprozessor mit der Kommunikation beschäftigt ist, beanspruchen.

Die Datenverarbeitung eines Standardprozessors und eines ihm zugeordneten Koprozessors, d.h. eines Koprozessors, den der Standardprozessor mit Instruktionen versorgt, ist typischerweise asynchron. Das heißt, dass der Koprozessor mit der Ausführung einer von dem Standardprozessor übermittelten Instruktion nicht unmittelbar beginnt, sobald die dafür erforderlichen Daten übertragen werden. Beispielsweise kann der Standardprozessor die für eine Instruktion erforderlichen Instruktionsparameter auch dann an den Koprozessor übermitteln, wenn dieser noch eine andere Instruktion ausführt.

Dies hat beispielsweise den Vorteil, dass der Standardprozessor nicht warten muss, bis der Koprozessor zur Übertragung bereit ist, sondern die für eine Instruktion erforderlichen Parameter übertragen kann und anschließend sofort weitere Instruktionen ausführen kann.

Aufgrund der asynchronen Kooperation von Standardprozessor und Koprozessor sind Speicher für die Datenübertragung zwischen Standardprozessor und Koprozessor, das heißt für die

Übermittlung von für Instruktionen erforderlichen Parameter, erforderlich, da diese Daten gespeichert werden müssen, wenn sie von dem Koprozessor nicht sofort verarbeitet werden.

- 5 Es ist bekannt, für die Datenübertragung zwischen einem Standardprozessor und einem Koprozessor einen Speicher einzusetzen, in welchem der Standardprozessor Daten speichern und aus welchem der Koprozessor Daten lesen kann.
- 10 Bei dieser Anordnung speichert der Standardprozessor die für eine auszuführende Instruktion erforderlichen Parameter in dem Speicher. Dabei kann die Spezifikation der Instruktion selbst und die Spezifikation der für die Ausführung der Instruktion erforderlichen Daten getrennt erfolgen,
- 15 beispielsweise kann der Koprozessor ein spezielles Register aufweisen und der Standardprozessor speichert die Parameter, die die für die Ausführung der Instruktion erforderlichen Daten spezifizieren, in dem Speicher und fordert den Koprozessor auf, die Instruktion auszuführen, indem er die
- 20 Parameter, die die Instruktion spezifizieren, in dem speziellen Register des Kopprozessors speichert.

Alternativ kann der Standardprozessor alle erforderlichen Instruktionsparameter in dem Speicher speichern.

25

Der Koprozessor führt die Instruktion aus, indem er auf die in dem Speicher bzw. zusätzlich auf die in dem speziellen Register gespeicherten Parameter zugreift.

- 30 Diese Anordnung hat den Nachteil, dass der Standardprozessor mit dem Speichern von Instruktionsparametern warten muss, bis der Koprozessor die zuvor in dem Speicher gespeicherten Instruktionsparameter nicht mehr benötigt. Ansonsten überschreibt der Standardprozessor Instruktionsparameter, die

noch erforderlich sind, was zu einer falschen Ausführung der einer von dem Koprozessor ausgeführten Instruktionen führen kann.

- 5 Da der Koprozessor die Instruktionsparameter typischerweise erst dann nicht mehr benötigt, wenn er die entsprechende Instruktion ausgeführt hat, muss der Standardprozessor mit der Übertragung von für eine Instruktion erforderlichen Instruktionsparametern warten, bis der Koprozessor gerade
10 keine Instruktion ausführt, also insbesondere, bis der Koprozessor die Ausführung der Instruktion beendet hat, die der Instruktion, für die Instruktionsparameter übertragen werden sollen, vorangeht.
- 15 Da der Standardprozessor in diesem Fall keine Daten an den Koprozessor übermitteln kann, wenn dieser eine Instruktion ausführt, ist für die Abarbeitung einer Instruktion im Endeffekt die Summe der für die Übermittlung der Instruktionsparameter erforderlichen Zeit und der für die
20 eigentliche Ausführung der Instruktion von dem Koprozessor erforderlichen Zeit erforderlich, da der Koprozessor zunächst die Übermittlung der für eine Instruktion erforderlichen Instruktionsparameter abwarten muss, in dieser Zeit auch keine andere Instruktion ausführen kann, und anschließend die
25 Instruktion ausführen muss.

Diesem Nachteil, durch den ein wesentlicher Vorteil der asynchronen Kooperation von Standard- und Koprozessor verloren geht, wird im Stand der Technik durch den Einsatz
30 eines Wechselpuffers oder eines First-In-First-Out (FIFO) - Speichers begegnet.

Ein Wechselpuffer weist zwei Speicherbereiche auf. Der Standardprozessor eines Computersystems beschreibt

beispielsweise den ersten Speicherbereich eines Wechselpuffers mit Instruktionsparametern. Ist das Speichern der Instruktionsparameter abgeschlossen, kann der Koprozessor des Computersystems aus dem ersten Speicherbereich die

5 Instruktionsparameter auslesen und die entsprechende Instruktion ausführen.

Der Standardprozessor muss nicht warten, bis der Koprozessor die Ausführung dieser ersten Instruktion beendet hat, sondern

10 kann währenddessen die für eine zweite Instruktion erforderlichen Instruktionsparameter in den zweiten Speicherbereich speichern. Nachdem der Standardprozessor das Speichern der für die zweite Instruktion erforderlichen Instruktionsparameter beendet hat und der Koprozessor die

15 Ausführung der ersten Instruktion beendet hat, kann der Koprozessor mittels Zugriffs auf den zweiten Speicherbereich des Wechselpuffers die zweite Instruktion ausführen, während der Standardprozessor den ersten Speicherbereich mit für eine dritte Instruktion erforderlichen Parametern beschreiben kann

20 und so weiter.

Der Einsatz eines FIFO-Speichers folgt einem ähnlichen Prinzip. An einem Ende des FIFO-Speichers speichert der Standardprozessor eines Computersystems die für die

25 Ausführung einer Instruktion erforderlichen Instruktionsparameter, während an dem anderen Ende des FIFO-Speichers der Koprozessor des Computersystems die Instruktionsparameter ausliest und die entsprechenden Instruktionen ausführt.

30

Dadurch wird es wie beim Einsatz eines Wechselpuffers möglich, dass sich die Datenübermittlung von dem Standardprozessor an den Koprozessor und die Ausführung von Instruktionen durch den Koprozessor überlappen.

Verglichen mit dem Einsatz eines einfachen Speichers, kann dadurch eine erhöhte Verarbeitungsgeschwindigkeit der abzuarbeitenden Instruktionen erreicht werden.

5

Der Einsatz eines Wechselpuffers oder eines FIFO-Speichers weist jedoch den Nachteil auf, dass die Instruktionsparameter zweier aufeinanderfolgender Instruktionen in zwei unterschiedliche Speicherbereiche geschrieben werden. Dies führt dazu, dass der Standardprozessor stets den gesamten Instruktionsparametersatz in den jeweiligen Speicherbereich schreiben muss, selbst wenn sich die Instruktionsparameter zweier aufeinanderfolgender Instruktionen nur wenig unterscheiden.

15

Im Softwarebereich, speziell bei der Kommunikation von Programmteilen, ist es üblich, nur sich ändernde Parameter von einem Programmteil an einen anderen zu übergeben und konstant bleibende Parameter nicht erneut zu übergeben.

20

Beispielsweise arbeitet die Grafikbibliothek OpenGL als "Zustandsmaschine" (State Machine). Wird durch einen Aufruf einer OpenGL-Funktion beispielsweise die Farbe auf einen gewissen Wert gesetzt, etwa durch den Befehl

25

```
glcolor3f(1.0,1.0,1.0);
```

30

mittels welchem die Farbe, in der Objekte gezeichnet werden, auf weiß gesetzt wird, so werden alle Objekte, die mittels diesem Befehl folgenden Funktionsaufrufen gezeichnet werden, in weiß gezeichnet, bis die Farbe, in der Objekte gezeichnet werden, durch einen weiteren glColor-Befehl geändert wird.

Wird ein Programm, das die OpenGL-Grafikbibliothek verwendet, auf einem typischen herkömmlichen Computersystem mit einem Grafik-Koprozessor, beispielsweise einem IBM-kompatiblen Personal Computer (PC) mit einer Grafikkarte, die einen Grafikprozessor aufweist, abgearbeitet, so werden stets alle für die Ausführung einer Instruktion erforderlichen Instruktionsparameter übermittelt. Soll der Grafik-Koprozessor beispielsweise zwei weiße Dreiecke auf einem Bildschirm darstellen, so übermittelt der Standardprozessor zwei entsprechende Instruktionen mit den jeweiligen Instruktionsparametern, wobei die für jede der beiden Instruktionen übermittelten Instruktionsparameter die Spezifikation der Farbe als "weiß" enthalten, an den Grafik-Koprozessor.

Auf der Softwareebene reicht es dagegen aus, nur einmal die Farbe mit einem geeigneten Funktionsaufruf als "weiß" zu spezifizieren.

Da bei einem Computersystem, bei dem für die Datenübertragung von einem Standardprozessor zu einem Koprozessor ein Wechsellpuffer oder ein FIFO-Speicher gemäß dem Stand der Technik eingesetzt wird, stets alle Instruktionsparameter von dem Standardprozessor übermittelt werden müssen, selbst die, die sich nicht geändert haben, kann die Datenübertragung zwischen dem Standard- und dem Koprozessor einen beträchtlichen Zeitbedarf erfordern.

Speziell bei der schwachen Kopplung von Prozessoren ist, wie oben erläutert, für die Ausführung einer Instruktion die Übertragung einer hohen Anzahl von Instruktionsparametern mit hohem Speicherbedarf erforderlich. Zur Übertragung dieser Daten ist aufgrund der großen Datenmenge auch ein hoher Kommunikationsaufwand erforderlich. Der Standardprozessor

speichert die Instruktionsparameter beispielsweise in einem FIFO-Speicher. Ist die Datenmenge sehr hoch, benötigt der Standardprozessor für die Übertragung viele Taktzyklen.

- 5 Dies kann die Verarbeitungsleistung des Computersystem erheblich beeinträchtigen. Benötigt der Standardprozessor beispielsweise für die Übertragung der für eine Instruktion erforderlichen Instruktionsparameter mehr Zeit, als der Koprozessor für die Ausführung der dieser Instruktion
- 10 vorausgehenden Instruktion benötigt, so ist der Koprozessor untätig, bis die Übertragung abgeschlossen ist. Somit ist die Verarbeitungsleistung des Computersystems niedriger, als sie prinzipiell, das heißt, wenn beide Prozessoren ununterbrochen Instruktionen ausführen würden, sein könnte.
- 15 Während der Standardprozessor Daten an den Koprozessor überträgt, ist die Verarbeitungsleistung des Standardprozessors, die für die Ausführung anderer Instruktionen zur Verfügung steht, eingeschränkt.
- 20 Insbesondere bei einer großen zu übertragenden Menge von Daten ist es somit von hoher Bedeutung für die Verarbeitungsleistung des Computersystems, dass die Daten effizient übertragen werden.
- 25 Im Extremfall benötigt der Standardprozessor für die Übertragung der für die Ausführung einer Instruktion erforderlichen Parameter sogar länger, als der Standardprozessor für die Ausführung der Instruktion benötigt. In diesem Fall ist es sogar effizienter, d.h. die
- 30 Zeitbedarf für die Abarbeitung der Instruktion ist geringer, wenn der Standardprozessor die Instruktion nicht an den Koprozessor weitergibt, sondern sie selbst ausführt.

Druckschrift [1] offenbart eine Architektur für ein Computersystem mit einem Hauptprozessor und einem Grafikprozessor. Der Hauptprozessor kann dabei Grafikbefehle in einem Hauptspeicher speichern. Der Grafikprozessor kann diese aus dem Hauptspeicher lesen, wobei die Grafikbefehle mittels eines FIFO-Puffers, der zwischen dem Hauptspeicher und dem Grafikprozessor angeordnet ist, zwischengespeichert werden können.

10 In [2] ist ein Prozessor offenbart, der einen Zwischenspeicher (Cache) aufweist. Der Zwischenspeicher ist mit einem Koprozessor gekoppelt und der Koprozessor kann Ergebnisse in dem Zwischenspeicher speichern.

15 Druckschrift [3] offenbart einen Grafikbeschleuniger mit einem lokalen Speicher, einem Koprozessor und einer DMA(Direct Memory Access)-Einheit, die zur Datenübertragung zwischen dem lokalen Speicher und einem externen Speicher verwendet wird.

20

Der Erfindung liegt die Aufgabe zugrunde, eine Vorrichtung für die Datenübertragung von einer ersten Datenverarbeitungseinheit an eine zweite Datenverarbeitungseinheit bereitzustellen, bei der die Datenübertragung effizienter als jene gemäß dem Stand der Technik ist.

Hierbei ist mit "effizienter" gemeint, dass der Standardprozessor im Mittel weniger Taktzyklen benötigt, um zu übertragende Daten an den Koprozessor zu übertragen, als das bei der Datenübertragung von Standard- zu Koprozessor gemäß dem Stand der Technik der Fall ist.

30

Die Aufgabe wird durch ein Computersystem zur elektronischen Datenverarbeitung gemäß dem unabhängigen Patentanspruch gelöst.

- 5 Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Es wird ein Computersystem zur elektronischen Datenverarbeitung bereitgestellt, das eine erste
10 Datenverarbeitungseinheit, eine zweite Datenverarbeitungseinheit und eine Datenübertragungs-Speichereinrichtung aufweist, wobei die Datenübertragungs-Speichereinrichtung eingangsseitig mit der ersten Datenverarbeitungseinheit und ausgangsseitig mit der zweiten
15 Datenverarbeitungseinheit gekoppelt ist, und welche Datenübertragungs-Speichereinrichtung eingerichtet ist, Datensätze von der ersten Datenverarbeitungseinheit an die zweite Datenverarbeitungseinheit zu übertragen und wobei die Datenübertragungs-Speichereinrichtung einen ersten
20 Speicherbereich und einen zweiten Speicherbereich aufweist, wobei der erste Speicherbereich und der zweite Speicherbereich eingerichtet sind, jeweils einen Datensatz zu speichern, und wobei die Datenübertragungs-Speichereinrichtung derart eingerichtet ist, dass die
25 Übertragung eines von der ersten Datenverarbeitungseinheit an die zweite Datenverarbeitungseinheit zu übertragenden Datensatzes gemäß folgender Schritte erfolgt: Übermitteln zum ersten Speicherbereich und Speichern im ersten Speicherbereich der in dem zu übertragenden Datensatz
30 enthaltenen Daten; Kopieren des in dem ersten Speicherbereich gespeicherten Datensatzes in den zweiten Speicherbereich wenn das Kopieren freigegeben ist; Übermitteln des in dem zweiten Speicherbereich gespeicherten Datensatzes an die zweite Datenverarbeitungseinheit.

Da die Datenübertragungs-Speichereinrichtung, die
erfindungsgemäß für die Datenübertragung zwischen der ersten
Datenverarbeitungseinheit, die bevorzugt ein
5 Standardprozessor ist, und der zweiten
Datenverarbeitungseinheit, die bevorzugt ein Koprozessor ist,
verwendet wird, zwei Speicherbereiche aufweist, ist es
möglich, dass die erste Datenverarbeitungseinheit schreibend
auf den ersten Speicherbereich zugreift, während die zweite
10 Datenverarbeitungseinheit auf den zweiten Speicherbereich
zugreift.

In einer bevorzugten Ausführungsform ist die erste
Datenverarbeitungseinheit ein Standardprozessor und die
15 zweite Datenverarbeitungseinheit ein Koprozessor.

In der bevorzugten Ausführungsform, bei der die erste
Datenverarbeitungseinheit ein Standardprozessor und die
zweite Datenverarbeitungseinheit ein Koprozessor ist,
20 bedeutet dies insbesondere, dass der Standardprozessor für
eine Instruktion erforderliche Instruktionsparameter in den
ersten Speicherbereich schreiben kann, während der
Koprozessor noch eine der Instruktion vorhergehende
Instruktion ausführt und auf die in dem zweiten
25 Speicherbereich gespeicherten, für die vorherige Instruktion
erforderlichen Instruktionsparameter, zugreift.

Somit ist es dem Computersystem möglich, dass sich die
Datenübermittlung von dem Standardprozessor des
30 Computersystems an den Koprozessor des Computersystems und
die Ausführung von Instruktionen durch den Koprozessor
überlappen.

Dies hat beispielsweise den Vorteil, dass der Standardprozessor nicht darauf warten muss, bis der Koprozessor zur Übertragung von Daten bereit ist, sondern die für eine Instruktion erforderlichen Parameter in den ersten Speicherbereich schreiben kann und anschließend sofort weitere Aufgaben bearbeiten kann.

Deshalb besteht ein Effizienzvorteil der Datenübertragung zwischen dem Standardprozessor und dem Koprozessor bei dem Computersystem gegenüber einem Computersystem, das keine Überlappung der Datenübermittlung von dem Standardprozessor an den Koprozessor und der Ausführung von Instruktionen durch den Koprozessor erlaubt.

Weiterhin ist es bei dem Computersystem nicht erforderlich, einen Datensatz stets komplett zu übertragen, wenn schon Daten, die er enthält, zuvor übertragen worden sind, vorausgesetzt, diese Daten sind noch in dem in dem ersten Speicherbereich gespeicherten Datensatz enthalten.

In der bevorzugten Ausführungsform, bei der die erste Datenverarbeitungseinheit ein Standardprozessor und die zweite Datenverarbeitungseinheit ein Koprozessor ist, bedeutet dies insbesondere, dass der Standardprozessor für nur die für eine Instruktion erforderlichen Instruktionsparameter an den ersten Speicherbereich übermitteln muss, die sich von den für die der Instruktion vorhergehenden Instruktion erforderlichen Instruktionsparametern unterscheiden.

Sollen beispielsweise zwei Instruktion nacheinander von dem Koprozessor ausgeführt werden, deren jeweils erforderliche Instruktionsparameter sich nur wenig unterscheiden, muss der Standardprozessor nur für die als erstes auszuführende

Instruktion den vollständigen Instruktionsparameter-Satz zu dem ersten Speicherbereich übermitteln und für die als zweites auszuführende Instruktion nur die Instruktionsparameter an den ersten Speicherbereich
5 übertragen, die sich von den für die erste Instruktion erforderlichen Instruktionsparametern unterscheiden.

Somit weist das Computersystem einen beträchtlichen Effizienzvorteil gegenüber einem Computersystem auf, bei dem
10 ein Wechselpuffer oder ein FIFO-Speicher eingesetzt wird, da in diesem Fall, wie oben beschrieben, stets der vollständige Instruktionsparameter-Satz von dem Standardprozessor an den Wechselpuffer bzw. an den FIFO-Speicher übertragen werden muss und somit die zu übertragende Datenmenge größer ist als
15 bei dem oben beschriebenen Computersystem.

In einer Ausführungsform überträgt die erste Datenverarbeitungseinheit nicht die für eine einzelne (Programm-) Instruktion erforderlichen Instruktionsparameter
20 an die zweite Datenverarbeitungseinheit, sondern es werden die für eine Mehrzahl von Instruktionen erforderlichen Instruktionsparameter im Laufe eines Übertragungsvorgangs an die zweite Datenverarbeitungseinheit übertragen, die nach Beendigung der Übertragung die Mehrzahl von
25 Programminstruktionen ausführt.

Dieses Ausführungsbeispiel entspricht einer schwachen Kopplung der ersten Datenverarbeitungseinheit und der zweiten Datenverarbeitungseinheit. Da in diesem Fall eine große
30 Datenmenge zu übertragen ist, ist die effiziente Datenübertragung von besonderer Bedeutung.

In einer weiteren Ausführungsform weist die Datenübertragungs-Speichereinrichtung einen speziellen

Speicher, einen sogenannten Parameterspeicher (Parameter-RAM) auf, mittels welchem das Kopieren eines Datensatzes von dem ersten Speicherbereich in den zweiten Speicherbereich in einem Taktzyklus ausgeführt werden kann. Da während des
5 Kopiervorgangs weder der Standardprozessor den ersten Speicherbereich beschreiben, noch der Koprozessor eine Instruktion ausführen kann, wird diese Ausführungsform bevorzugt.

10 Beispielsweise wird an die Datenübertragungs-Speichereinrichtung die Information übermittelt, ob die zweite Datenverarbeitungseinheit für die Datenübertragung bereit ist und basierend auf der Information, ob die zweite Datenverarbeitungseinheit für die Datenübertragung bereit
15 ist, entschieden, ob das Kopieren freigegeben ist.

Bei dem bereitgestellten Computersystem ist es ferner bevorzugt, dass das Kopieren freigegeben ist, wenn keine Daten von dem zweiten Speicherbereich an die zweite
20 Datenverarbeitungseinheit übermittelt werden.

Bei dem bereitgestellten Computersystem ist es ferner bevorzugt, dass beim Schritt des Übermittels zum ersten Speicherbereich und Speichern im ersten Speicherbereich der
25 in dem zu übertragenden Datensatz enthaltenen Daten nur solche Daten übertragen werden, die nicht in dem ersten Speicherbereich gespeicherten Datensatz enthalten sind.

Bei dem bereitgestellten Computersystem ist es ferner
30 bevorzugt, dass die erste Datenverarbeitungseinheit ein Standardprozessor und die zweite Datenverarbeitungseinheit ein Koprozessor ist und die mittels der Datenübertragungs-Speichereinrichtung zu übertragenden Daten für die Ausführung

einer Programminstruktion durch den Koprozessor erforderlich sind.

Gemäß einer Ausführungsform des bereitgestellten Computersystem ist der erste Speicherbereich eine erste Speicherbank und der zweite Speicherbereich ist eine zweite Speicherbank, und von der ersten Speicherbank in die zweite Speicherbank können mittels eines Transferbusses Daten übertragen werden.

10 Gemäß einer Ausführungsform des bereitgestellten Computersystem ist die erste Datenverarbeitungseinheit mittels eines Systembusses mit der ersten Speicherbank gekoppelt und der oben genannte Transferbus weist eine höhere
15 Bandbreite als der Systembus auf.

Bei dem bereitgestellten Computersystem ist es bevorzugt, dass die Datenübertragungs-Speichereinrichtung eine Mehrzahl von Speicherzellen aufweist, die jeweils ein
20 erstes Speicherelement und ein zweites Speicherelement aufweisen, wobei jedes Speicherelement eingerichtet ist, ein einzelnes Bit zu speichern und wobei beim Kopieren des in dem ersten Speicherbereich gespeicherten Datensatzes in den zweiten Speicherbereich das in dem jeweiligen ersten
25 Speicherelement einer Speicherzelle gespeicherte Bit in das jeweilige zweite Speicherelement der Speicherzelle kopiert wird.

Bei dem bereitgestellten Computersystem ist es ferner
30 bevorzugt, dass beide Speicherbereiche auf einem Speicherchip untergebracht sind.

Bei dem bereitgestellten Computersystem kann der Koprozessor ein Grafik-, Bildverarbeitungs- oder mathematischer Koprozessor sein.

5 Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Figur 1 zeigt ein Computersystem gemäß einem ersten Ausführungsbeispiel der Erfindung;

10

Figur 2 zeigt ein Computersystem gemäß einem zweiten Ausführungsbeispiel der Erfindung;

15

Figur 3 zeigt ein Ablaufdiagramm der Abarbeitung einer Instruktion mittels des in Figur 2 gezeigten Computersystems;

20

Figur 4 zeigt ein Computersystem gemäß einem dritten Ausführungsbeispiel der Erfindung, das einen Parameterspeicher aufweist;

Figur 5 zeigt den Aufbau des Parameterspeichers aus Figur 4;

25

Figur 6 zeigt den Aufbau einer Speicherzelle des Parameterspeichers aus Figur 4.

Fig.1 zeigt ein Computersystem 100 gemäß einem ersten Ausführungsbeispiel der Erfindung.

30

Das Computersystem 100 weist einen Standardprozessor 101, einen Computerbus 102 und einen Speicher 103 auf.

Der Standardprozessor 101 ist mittels des Computerbusses 102 mit dem Speicher 103 gekoppelt und greift mittels des

Computerbusses 102 auf den Speicher 103 zu. Der Speicher 103 enthält Instruktionen 110 eines Computerprogramms und für die Ausführung der Instruktionen erforderliche Daten 111. Bei Ausführung des in dem Speicher 103 gespeicherten

5 Computerprogramms werden die Programminstruktionen 110 mittels des Computerbusses 102 an den Standardprozessor 101 übermittelt. Der Standardprozessor führt eine ihm aus dem Speicher 103 übermittelte Programminstruktion entweder selbst aus, oder bestimmt, basierend auf den Eigenschaften der

10 Programminstruktion, dass ein Koprozessor 104 die Instruktion ausführen soll.

Beispielsweise ist die aktuell abzuarbeitende Programminstruktion eine Instruktion zur Anzeige eines

15 Dreiecks auf einem Bildschirm 105 und der Koprozessor 104 ist ein Grafik-Koprozessor. Der Standardprozessor 101 bestimmt in diesem Beispiel, dass der Grafik-Koprozessor 104 die Instruktion ausführen soll.

20 Der Grund für diese Bestimmung kann sein,

- dass der Koprozessor 104 ein auf Programminstruktionen der Art der abzuarbeitenden Programminstruktion spezialisierter Prozessor ist und die Programminstruktion deshalb schneller als der
- 25 Standardprozessor 101 ausführen kann,
- dass der Standardprozessor 101 nicht geeignet ist, die Programminstruktion auszuführen, weil er nicht über den erforderlichen Befehlssatz verfügt, oder
- dass der Standardprozessor 101 die Instruktion zwar
- 30 genauso schnell oder schneller als der Koprozessor 104 ausführen kann, sie aber trotzdem dem Koprozessor 104 zur Ausführung übergibt, damit der Standardprozessor 101 entlastet wird.

Bestimmt der Standardprozessor 101, dass der Koprozessor 104 eine bestimmte Programminstruktion ausführen soll, so erfolgt die Übermittlung der für die Ausführung der Instruktion erforderlichen Parameter mittels einer Datenübertragungs-
5 Speichereinrichtung 106.

Die für die Ausführung einer Instruktion erforderlichen Parameter sind alle Informationen, die der Koprozessor 104 benötigt, um die Instruktion ausführen zu können. Das ist
10 typischerweise eine Spezifikation der Instruktion selbst und eine Spezifikation der bei der Ausführung der Instruktion benötigten Datenelemente oder sonstige Informationen, wie beispielsweise eine Speicheradresse, an der das Ergebnis der Instruktion gespeichert werden soll.

15

Beispielsweise weisen die für die Ausführung einer Instruktion erforderlichen Parameter ein Datenwort auf, das die Instruktion "Addiere die zwei Datenelemente, die sich an einer ersten Adresse und einer zweiten Adresse im Speicher
20 befinden und speichere das Ergebnis an einer mittels einer dritten Adresse bestimmten Speicherstelle im Speicher", bezeichnet.

25

Neben dieser Spezifikation der auszuführenden Instruktion selbst weisen die für die Ausführung der Instruktion erforderlichen Parameter in diesem Fall die erste Adresse und zweite Adresse auf, die die Datenelemente, die für die Ausführung der Instruktion erforderlich sind, spezifizieren, nämlich die Speicheradressen, die angeben, wo die
30 Datenelemente im Speicher gespeichert sind.

In diesem Beispiel weisen die für die Ausführung der Instruktion erforderlichen Parameter außerdem die Adresse

auf, die die Speicherstelle angibt, an der das Ergebnis der Addition gespeichert werden soll.

Die für die Ausführung einer Instruktion erforderlichen
5 Parameter werden im Folgenden auch nur mit
"Instruktionsparameter" bezeichnet.

Ausführungsformen der Datenübertragungs-Speichereinrichtung
106 und eine Ausführungsform des Ablaufs der Übermittlung der
10 für eine Instruktion erforderlichen Instruktionsparameter von
einem Standardprozessor an einen Koprozessor mittels einer
Ausführungsform der Datenübertragungs-Speichereinrichtung
werden weiter unten beschrieben.

15 Der Koprozessor 104 ist wie der Standardprozessor 101
ebenfalls mit dem Computerbus 102 gekoppelt. Ist der
Koprozessor 104 beispielsweise ein mit dem Bildschirm 105
gekoppelter Grafik-Koprozessor können Steuersignale von dem
Koprozessor 104 an den Bildschirm 105 übermittelt werden, die
20 den Bildschirm 105 so steuern, dass der Bildschirm 105 eine
gewünschte grafische Darstellung, beispielsweise ein Dreieck,
anzeigt.

Weiterhin erlaubt die Kopplung des Standardprozessors 101 und
25 des Kopprozessors 104 mittels des Computerbusses 102 die
Übertragung von Signalen zwischen dem Standardprozessor 101
und dem Koprozessor 104.

In einer Ausführungsform übermittelt der Koprozessor 104
30 beispielsweise ein Signal an den Standardprozessor 101, das
die Information aufweist, dass der Koprozessor 104 eine
bestimmte Instruktion beendet hat.

Beispielsweise hat der Koprozessor 104 eine Berechnungsinstruktion ausgeführt und das Ergebnis der Ausführung der Berechnungsinstruktion an einer durch die für die Ausführung der Instruktion erforderlichen Parameter spezifizierten Speicheradresse in dem Speicher 103 gespeichert. Nachdem der Koprozessor 104 die Beendigung der Ausführung der Berechnungsinstruktion dem Standardprozessor 101 mittels des Computerbusses 102 signalisiert hat, kann dieser auf das im Speicher 103 gespeicherte Ergebnis zugreifen.

In einer Ausführungsform werden die für die Ausführung einer Instruktion erforderlichen Instruktionsparameter nicht alle mittels der Datenübertragungs-Speichereinrichtung 106 übertragen.

Beispielsweise werden die Instruktionsparameter, die die Instruktion selbst spezifizieren, mittels des Computerbusses 102 übertragen und in einem lokalen Instruktionsspeicher des Koprozessors 102 gespeichert.

Es ist jedoch bevorzugt, dass der Großteil der Instruktionsparameter mittels der Datenübertragungs-Speichereinrichtung 106 übertragen wird.

Das Computersystem 100 weist zusätzliche herkömmliche Vorrichtungen auf. In dieser Ausführungsform sind ein Digital-Versatile-Disk(DVD)-Laufwerk 107, eine Tastatur 108 und eine Computermaus 109 mit dem Computerbus 102 gekoppelt.

Fig.2 zeigt ein Computersystem 200 gemäß einem zweiten Ausführungsbeispiel der Erfindung.

Das Computersystem 200 weist einen Standardprozessor 201 und einen Koprozessor 202 auf.

Das Computersystem gemäß diesem Ausführungsbeispiel weist
5 mehrere Einrichtungen auf, die zur Kommunikation zwischen dem Standardprozessor 201 und dem Koprozessor 202 dienen: Eine erste Speicherbank (Master-Bank) 205, eine zweite Speicherbank (Slave-Bank) 206 und eine Steuervorrichtung 207.

10 Die Steuervorrichtung 207 weist eine Schnittstellensteuervorrichtung 208 und eine Speichersteuervorrichtung 209 auf.

Die Schnittstellensteuervorrichtung 208 und die
15 Speichersteuervorrichtung 209 sind in dieser Ausführungsform nicht separierte Vorrichtungen, sondern bilden zusammen die Steuervorrichtung 207.

Die Master-Bank 205 und die Slave-Bank 206 sind in dieser
20 Ausführungsform herkömmliche Dual-Port-Speichermodule, d.h. Speichermodule mit jeweils zwei Anschlüssen, mittels derer auf die Speichermodule lesend und/oder schreibend zugegriffen werden kann.

25 Ferner weist das Computersystem 200 mehrere Computerbusse auf: Einen Systembus 202, einen Transferbus 203 und einen Koprozessorbus 204.

Der Systembus 202 koppelt die Master-Bank 205, den
30 Standardprozessor 201, die Steuervorrichtung 207 und andere, nicht dargestellte Vorrichtungen, wie einen Computerspeicher und Eingabe- und Ausgabegeräte.

Der Transferbus 203 erlaubt die Datenübertragung von der Master-Bank 205 zu der Slave-Bank 206.

Der Koprozessorbus 204 erlaubt den Zugriff des Koprozessors
5 202 auf die Slave-Bank 206.

Die Master-Bank 205, die Slave-Bank 206 und die Speichersteuervorrichtung 209, die zusammen mit der Schnittstellenvorrichtung 208 in der Form der
10 Steuervorrichtung 207 ausgebildet ist, und der Transferbus 203 bilden in dieser Ausführungsform die erfindungsgemäße Datenübertragungs-Speichereinrichtung 210, die in Fig.2 mittels des gestrichelten Rechtecks dargestellt ist.

15 Der Standardprozessor 201 und der Koprozessor 202 können auf einem ersten Datenübertragungsweg mittels des Systembusses 202, der Master-Bank 205, des Transferbusses 203, der Slave-Bank 206 und des Koprozessorbusses 204 und auf einem zweiten Datenübertragungsweg mittels des Systembusses 202 und der
20 Steuervorrichtung 207 miteinander kommunizieren.

Der Transferbus 203 erlaubt jedoch nur eine Datenübertragung von der Master-Bank 205 in die Slave-Bank 206 und nicht umgekehrt.

25

Der Ablauf einer Datenübertragung zwischen dem Standardprozessor 201 und dem Koprozessor 202, speziell der für eine Instruktion erforderlichen Instruktionsparameter wird nachfolgend mit Bezug auf Fig.2 und Fig.3 erklärt.

30

Fig.3 zeigt ein Ablaufdiagramm 300 der Abarbeitung einer Instruktion mittels des in Fig.2 gezeigten Computersystems.

In Schritt 301 erhält der Standardprozessor 201 eine
Programminstruktion eines Computerprogramms, das von dem
Computersystem 200 abgearbeitet wird. Diese
Programminstruktion erhält der Standardprozessor 201
5 beispielsweise durch Zugriff auf einen, in Fig.2 nicht
gezeigten, Programmspeicher mittels des Systembusses 202.

In Schritt 302 bestimmt der Standardprozessor 201 basierend
auf der Art der Programminstruktion, ob der Standardprozessor
10 selbst oder der Koprozessor 202 die Instruktion ausführen
soll.

In diesem Beispiel wird angenommen, dass entschieden wird,
dass der Koprozessor 202 die (Programm-)Instruktion ausführen
15 soll.

Ferner wird in diesem Beispiel zum besseren Verständnis der
Erfindung angenommen, dass die aktuelle Instruktion, d.h. die
in Schritt 301 von dem Standardprozessor 201 erhaltene
20 Programminstruktion, nicht die erste Instruktion des von dem
Computersystem 200 abgearbeiteten Computerprogramms ist, bei
der entschieden wird, dass der Koprozessor 202 sie ausführen
soll.

25 Insbesondere wird angenommen, dass die für eine der aktuellen
Instruktion vorhergehende Instruktion erforderlichen
Instruktionsparameter an den Koprozessor 202 mittels der
Master-Bank 205 und der Slave-Bank 206 übermittelt worden
sind.

30

In Schritt 303 bestimmt der Standardprozessor 201 die zur
Ausführung der Instruktion erforderlichen
Instruktionsparameter.

Diese kann er beispielsweise durch Zugriff auf einen, in Fig.2 nicht gezeigten, Speicher bestimmen.

5 In Schritt 304 übermittelt der Standardprozessor 201 die Instruktionsparameter mittels des Systembusses 202 an die Master-Bank 205, in der die Instruktionsparameter gespeichert werden.

10 Erfindungsgemäß werden dabei nur die geänderten Instruktionsparameter übermittelt und gespeichert, das heißt die Instruktionsparameter, die sich von den für die vorherige von dem Koprozessor 202 ausgeführte Instruktion erforderlichen Parametern unterscheiden.

15 Erfindungsgemäß werden die für die vorherige Instruktion erforderlichen Instruktionsparameter nach ihrer Übermittlung an den Koprozessor 202 mittels der Master-Bank 205 und der Slave-Bank 206 nicht gelöscht. Diese Instruktionsparameter sind also zu Beginn des Schritts 304 noch in der Master-Bank
20 205 gespeichert. Der Standardprozessor übermittelt in Schritt 304 nur die für die aktuelle Instruktion erforderlichen Instruktionsparameter an die Master-Bank 205, die sich von den für die vorherige Instruktion erforderlichen Parametern unterscheiden.

25 In einer Ausführungsform überprüft der Standardprozessor 201 selbst, welche Instruktionsparameter sich von den in der Master-Bank 205 gespeicherten Instruktionsparametern unterscheiden.

30 Beispielsweise kann das Computerprogramm unter Verwendung eines Hardware-Treibers ausgeführt werden, der eingerichtet ist, den Standardprozessor 201 so zu steuern, dass er überprüft, welche Instruktionsparameter sich von den in der

Master-Bank 205 gespeicherten Instruktionsparametern unterscheiden.

5 Nach der Übermittlung der Instruktionsparameter übermittelt der Standardprozessor 201 die Information, dass er die Übermittlung eines Satzes von Instruktionsparametern für eine Instruktion beendet hat, an die Steuervorrichtung 207.

10 In Schritt 305 prüft die Schnittstellensteuervorrichtung 208 der Steuervorrichtung 207, ob der Koprozessor 202 für die Ausführung einer neuen Instruktion bereit ist.

15 Insbesondere wird auf diese Weise geprüft, ob der Koprozessor 202 auf die Slave-Bank 206 mittels des Koprozessorbusses 204 zugreift.

Es wird erst mit dem nächsten Ablaufschritt 306 fortgefahren, wenn die Information vorliegt, dass der Koprozessor 202 bereit ist.

20 In Schritt 306 werden die in der Master-Bank 205 gespeicherten Daten in die Slave-Bank 206 mittels des Transfer-Busses 203 übertragen.

25 Die Speichersteuervorrichtung 209 der Steuervorrichtung 207 erhält von der Schnittstellensteuervorrichtung 208 der Steuervorrichtung 207 die Information, dass der Koprozessor 202 bereit ist, wie in Schritt 305 getestet.

30 Da der Koprozessor 202 deshalb die in der Slave-Bank 206 gespeicherten Daten nicht mehr benötigt, da er die Ausführung der letzten Instruktion beendet hat, können die Daten überschrieben werden.

Die Speichersteuervorrichtung 209 der Steuervorrichtung 207 steuert den Kopiervorgang der Daten von der Master-Bank 205 in die Slave-Bank 206.

5 Es ist bevorzugt, dass der Transferbus 203 eine hohe Bandbreite aufweist, da in diesem Fall der Kopiervorgang in wenigen Transferbus-Taktzyklen ausgeführt werden kann. Dies ist von Vorteil, da während der Datenübertragung von der Master-Bank 205 zu der Slave-Bank 206 mittels des Transfer-
10 Busses 203 weder der Standardprozessor 201 auf die Master-Bank 205 zugreifen kann, noch der Koprozessor 202 auf die Slave-Bank 206 zugreifen kann, also insbesondere der Koprozessor 202 während des Kopiervorgangs keine Instruktion ausführen kann.

15 Sind beispielsweise 32 Instruktionsparameter erforderlich, wobei jeder der Parameter einen Speicherbedarf von 32 Bit aufweist, und weist der Transferbus 203 eine Bandbreite von 256 Bit auf, so können die Instruktionsparameter in 4
20 Taktzyklen übertragen werden.

Es ist bevorzugt, dass der Transferbus 203 mindestens eine fünfmal höhere Bandbreite als der Systembus 202 aufweist.

25 Die Bandbreite des Transferbusses 203 kann beispielsweise mittels einer Erhöhung der Transferbus-Taktrate oder mittels einer Erhöhung der Anzahl der Datenleitungen des Transferbusses 203 erhöht werden.

30 Ist der Kopiervorgang der Daten von der Master-Bank 205 in die Slave-Bank 206 beendet, signalisiert die Speichersteuervorrichtung 209 der Steuervorrichtung 207 an die Schnittstellensteuervorrichtung 208 der Steuervorrichtung 207, dass der Kopiervorgang beendet ist.

Die in der Master-Bank 205 enthaltenen Daten bleiben nach Beendigung des Kopiervorgangs erhalten.

- 5 In Schritt 307 signalisiert die Schnittstellensteuervorrichtung 208 der Steuervorrichtung 207 an den Koprozessor 202, dass er mit der Ausführung der Instruktion beginnen soll.
- 10 Anschließend führt der Koprozessor 202 die Instruktion aus, wobei er die dafür erforderlichen Instruktionsparameter durch Zugriff auf die Slave-Bank 206 erhält.

In einer Ausführungsform werden die für die Ausführung einer Instruktion erforderlichen Instruktionsparameter nicht alle
15 mittels der Master-Bank 205 und der Slave-Bank 206 übertragen.

Beispielsweise werden die Instruktionsparameter, die die Instruktion selbst spezifizieren, mittels
20 Schnittstellensteuervorrichtung 208 der Steuervorrichtung 207 an den Koprozessor 202 übertragen.

Fig.4 zeigt ein Computersystem 400 gemäß einem dritten
25 Ausführungsbeispiel der Erfindung, das einen Parameterspeicher aufweist.

Das Computersystem 400 weist einen Standardprozessor 401 und einen Koprozessor 402 auf.

30

Ferner weist das Computersystem 400 eine Schnittstellensteuervorrichtung 403 und ein weiter unten im Detail beschriebenen Parameterspeicher (Parameter-RAM) 404 auf.

Der Parameterspeicher 404 weist einen ersten Speicherbereich 407 und einen zweiten Speicherbereich 408 auf.

Der Parameterspeicher 404 kann in Form eines einzelnen
5 Speicherchips ausgestaltet sein.

Ferner weist das Computersystem 400 einen Systembus 405 und einen Koprozessorbus 406 auf.

10 Der Systembus 405 koppelt den Standardprozessor 401, den Parameterspeicher 404, die Schnittstellensteuervorrichtung 403 und weitere, nicht gezeigte Vorrichtungen des Computersystems 400, beispielsweise einen Computerspeicher und Ein- und Ausgabegeräte.

15 Der Koprozessorbus 406 koppelt den Koprozessor 402 mit dem Parameterspeicher 404.

Der Parameterspeicher 404 entspricht der erfindungsgemäßen
20 Datenübertragungs-Speichereinrichtung.

Im Unterschied zu dem in Fig.2 dargestellten Computersystem 200 weist das Computersystem 400 keine Speichersteuervorrichtung 209 auf.

25 Der Ablauf der Abarbeitung eines Computerprogramms mittels des Computersystems 400 ist analog zu dem mit Bezug auf Fig.2 und Fig.3 beschriebenen Ablauf der Abarbeitung eines Computerprogramms mittels des Computersystems 200.

30 Der erste Speicherbereich 407 entspricht der Master-Bank 205 und der zweite Speicherbereich 408 entspricht der Slave-Bank 206.

Ein Unterschied des Ablaufs der Abarbeitung eines Computerprogramms mittels des Computersystems 400 zu dem Ablauf der Abarbeitung eines Computerprogramms mittels des Computersystems 200 besteht darin, dass das Computersystem 5 400 keine Speichersteuervorrichtung 209 aufweist, die den Kopiervorgang zwischen dem ersten Speicherbereich 407 und dem zweiten Speicherbereich 408 steuert.

Der Ablauf der Steuerung des Kopierens der 10 Instruktionsparameter von dem ersten Speicherbereich 407 in den zweiten Speicherbereich 408 wird bei der folgenden Beschreibung des Parameterspeichers 404 deutlich.

15 Fig.5 zeigt den Aufbau des Parameterspeichers 500 aus Fig.4.

Der Parameterspeicher 500 weist eine Mehrzahl von Speicherzellen auf, von denen zwölf Speicherzellen 501 bis 512 dargestellt sind.

20 Die Speicherzellen 501 bis 512 sind in dieser Ausführungsform in Form einer zweidimensionalen Matrix angeordnet, die eine Mehrzahl von (Speicherzellen-)Zeilen und (Speicherzellen-)Spalten aufweist.

25 Jede der Speicherzellen 501 bis 512 ist mit einem Schreibverstärker 513, einem Leseverstärker 514, einem Schreibadressdekoder 515, einem Leseadressdekoder 516 und einer Transfersteuersignalleitung 517 gekoppelt.

30 Sollen Schreibdaten 518 in den Parameterspeicher 500 geschrieben werden, werden sie in Form von Datenwörtern in den Schreibverstärker 513 eingespeist.

In dieser Ausführungsform weist das Datenwort so viele Daten-Bits auf, wie der Parameterspeicher 500 Speicherzellenspalten aufweist.

- 5 Das Datenwort wird in der Form eines elektrischen Signals in den Schreibverstärker 513 eingespeist. Dieses elektrische Signal wird von dem Schreibverstärker 513 elektrisch verstärkt.
- 10 Der Schreibverstärker 513 weist so viele Ausgänge auf, wie das Datenwort Daten-Bits aufweist. Jeder Ausgang des Schreibverstärkers 513 entspricht einem Daten-Bit des Datenwortes und das einem Ausgang entsprechende Daten-Bit wird an diesem Ausgang von dem Schreibverstärker 513
- 15 ausgegeben.
- Eine Schreibadresse 519 spezifiziert die Zeile mit Speicherzellen des Parameterspeichers in denen das Datenwort 518 gespeichert werden soll. Die Schreibadresse 519 wird in
- 20 den Schreibadressdekoder 515 eingespeist, der für jede der Speicherzellenzeilen des Parameterspeichers 500 einen Ausgang aufweist, und an dem Ausgang, der der Speicherzellenzeile entspricht, die von der Schreibadresse 519 adressiert ist, gibt der Schreibadressdekoder 515 eine binäre Eins aus, an
- 25 den anderen Ausgängen eine binäre Null.

Der Vorgang beim Schreiben in den Speicherzellen 501 bis 512 wird weiter unten mit Bezug auf Fig.6 beschrieben.

- 30 Sollen Daten aus dem Parameterspeicher 500 gelesen werden, wird eine Leseadresse 520, die die Speicherzellenzeile des Parameterspeichers 500 spezifiziert, aus der Daten gelesen werden sollen, in den Leseadressdekoder 516 eingespeist.

Der Leseadressdekoder 515 weist für jede der Speicherzellenzeilen des Parameterspeichers 500 einen Ausgang auf und an dem Ausgang der Speicherzellenzeile entspricht, die von der Leseadresse 520 adressiert wird, gibt der Leseadressdekoder 515 eine binäre Eins aus, an den anderen Ausgängen eine binäre Null.

Die Speicherzellen der von der Leseadresse 520 spezifizierten Speicherzellenzeile geben daraufhin je ein Datenbit aus, welches in ihnen gespeichert ist.

Die genaue Funktionsweise der Speicherzellen 501 bis 512 wird weiter unten mit Bezug auf Fig.6 beschrieben.

In die Eingänge des Leseverstärkers 514, deren Anzahl gleich der Anzahl der Speicherzellenspalten des Parameterspeichers 500 ist, werden die von den Speicherzellen der von der Leseadresse 520 spezifizierten Speicherzellenzeile ausgegebenen Datenbits eingespeist.

Die Datenbits werden in der Form von elektrischen Signalen in den Leseverstärker 514 eingespeist und werden dort verstärkt und als Lesedaten 521 in der Form von Datenwörtern ausgegeben.

Mittels der Transfersteuersignalleitung 517 kann ein Transfersteuersignal 522 in der Form eines einzelnen Transfersteuersignal-Bits in die Speicherzellen 501 bis 512 eingespeist werden.

Weist das Transfersteuersignal-Bit den Wert einer binären Eins auf, so wird der erfindungsgemäße Kopiervorgang von dem ersten Speicherbereich 407 in den zweiten Speicherbereich 408 des Parameterspeichers 404 ausgeführt.

Dies wird im Folgenden mit Bezug auf Fig.6 erläutert.

Fig.6 zeigt den Aufbau einer Speicherzelle 600 der
5 Speicherzellen 501 bis 512 des Parameterspeichers 404 aus
Fig.4.

Die Speicherzelle 600 weist ein erstes Speicherelement
(Master-Latch) 601 und ein zweites Speicherelement (Slave-
10 Latch) 602 auf.

Beide Speicherelemente 601, 602 sind eingerichtet, jeweils
ein einzelnes Bit zu speichern.

15 Ferner geben die beiden Speicherelemente 601, 602 stets den
Wert des jeweiligen Bits aus, das in ihnen gespeichert ist.

Die Gesamtheit der ersten Speicherelemente der Speicherzellen
501 bis 512 des Parameterspeichers 404 bilden den ersten
20 Speicherbereich 407 und die Gesamtheit der zweiten
Speicherelemente der Speicherzellen 501 bis 512 des
Parameterspeichers 404 bilden den zweiten Speicherbereich
408.

25 Die Speicherzelle 600 ist mittels einer Schreib-Bitleitung
603 mit dem Schreibverstärker 513, mittels einer Schreib-
Wortleitung 604 mit dem Schreibadressdekoder 515, mittels
einer Lese-Bitleitung 605 mit dem Leseverstärker 514 und
mittels einer Lese-Wortleitung 606 mit dem Leseadressdekoder
30 516 gekoppelt.

Ferner kann ein Transfersignal 607 in das zweite
Speicherelement 602 eingespeist werden.

Das Transfersignal 607 entspricht dem oben beschriebenen, mittels der Transfersteuersignalleitung 517 in die Speicherzellen 501 bis 512 einspeisten Transfersteuersignal 522.

5

Dementsprechend weist das Transfersignal 607 nur ein einzelnes Bit auf.

Das erste Speicherelement 601 weist einen Steuereingang 609 und das zweite Speicherelement 602 weist einen Steuereingang 610 auf.

Wird kein Transfersignal 607 übertragen, liegt an dem Steuereingang 610 der Wert Null an.

15

Das erste Speicherelement 601 weist einen Dateneingang 611 und das zweite Speicherelement 602 weist einen Dateneingang 612 auf.

20 Liegt an dem Steuereingang 609 ein Bit mit dem Wert Eins an, so speichert das erste Speicherelement 601 das an dem Dateneingang 611 anliegende Bit und das zuvor in dem ersten Speicherelement 601 gespeicherte Bit wird überschrieben. Liegt an dem Steuereingang 609 ein Bit mit dem Wert Null an, 25 so wird das in dem ersten Speicherelement 601 gespeicherte Bit beibehalten und nicht von dem Dateneingang 611 anliegenden Bit überschrieben.

Liegt an dem Steuereingang 610 ein Bit mit dem Wert Eins an, 30 so speichert das zweite Speicherelement 602 das an dem Dateneingang 612 anliegende Bit und das zuvor in dem zweiten Speicherelement 602 gespeicherte Bit wird überschrieben. Liegt an dem Steuereingang 610 ein Bit mit dem Wert Null an, so wird das in dem zweiten Speicherelement 602 gespeicherte

Bit beibehalten und nicht von dem Dateneingang 612 anliegenden Bit überschrieben.

Wie oben beschrieben wird von dem Schreibverstärker 513
5 mittels der Schreib-Bitleitung 603 im Falle eines Schreibzugriffs ein Datenbit übertragen.

Befindet sich die Speicherzelle 600 in der durch die Schreibadresse 519 spezifizierten Zeile des
10 Parameterspeichers 500 wird, wie oben beschrieben, mittels der Schreib-Wortleitung 604 ein Bit, das den Wert Eins aufweist, von dem Schreibadressdekoder 515 an das erste Speicherelement 601 übermittelt.

15 In diesem Fall liegt an dem Steuereingang 609 ein Bit mit dem Wert Eins an. Somit speichert das erste Speicherelement 601 das mittels der Schreib-Bitleitung 603 übermittelte Datenbit, das an dem Dateneingang 611 anliegt.

20 Befindet sich die Speicherzelle 600 nicht in der durch die Schreibadresse 519 spezifizierten Zeile des Parameterspeichers 500 wird, wie oben beschrieben, mittels der Schreib-Wortleitung 604 ein Bit, das den Wert Null aufweist, von dem Schreibadressdekoder 515 an das erste
25 Speicherelement 601 übermittelt.

In diesem Fall liegt an dem Steuereingang 609 ein Bit mit dem Wert Null an. Somit speichert das erste Speicherelement 601 das mittels der Schreib-Bitleitung 603 übermittelte Datenbit,
30 das an dem Dateneingang 611 anliegt, nicht.

Analog zu der mit Bezug auf Fig.3 beschriebenen Abarbeitung einer Instruktion mittels des in Fig.2 gezeigten Computersystems 200 werden bei einer Abarbeitung einer

Instruktion mittels des in Fig.4 gezeigten Computersystems 400, das einen Parameterspeicher 404 wie durch Fig.5 und 6 illustriert, aufweist, die für die Instruktion erforderlichen Parameter an die Datenübertragungs-Speichereinrichtung, die bei dem in Fig.4 gezeigten Computersystem 400 dem Parameterspeicher 404 entspricht, übertragen und dort gespeichert.

Ist dieser Übertragungs- und Speichervorgang bei dem Computersystem 400 abgeschlossen, prüft die Schnittstellenvorrichtung 403, ob der Koprozessor 402 noch auf in dem zweiten Speicherbereich 408 gespeicherte Daten zugreift oder für die Ausführung der Instruktion und den Kopiervorgang der Daten des ersten Speicherbereichs 407 in den zweiten Speicherbereich 408 bereit ist.

Ist der Koprozessor 402 bereit, wird mittels der Schnittstellenvorrichtung 403 ein Transfersignal 607 an den Parameterspeicher 404 gesendet, das den Kopiervorgang der Daten des ersten Speicherbereichs 407 in den zweiten Speicherbereich 408 in der wie folgend beschriebenen Weise bewirkt.

Das Transfersignal 607 ist ein Signal, das ein Bit mit dem Wert Eins aufweist. Dieses Bit mit dem Wert Eins liegt an dem Steuereingang 610 des zweiten Speicherelements 602 an. Dies bewirkt, dass der in dem ersten Speicherelement 601 gespeicherte Wert, der an dem Dateneingang 612 anliegt, in dem zweiten Speicherelement 602 gespeichert wird.

Somit bewirkt die Übermittlung eines Transfersignals 607, welches ein Signal ist, welches ein Bit mit dem Wert Eins aufweist, das Kopieren der in dem ersten Speicherbereich 407 gespeicherten Daten in den zweiten Speicherbereich 408.

Gemäß dieser bevorzugten Ausführungsform ist für den Kopiervorgang nur ein Taktzyklus erforderlich.

- 5 Ist der Kopiervorgang abgeschlossen, wird analog zu der mit Bezug auf Fig.3 erläuterten Abarbeitung ein Signal an den Koprozessor 402 mittels der Schnittstellensteuervorrichtung 403 übermittelt, das den Koprozessor 402 instruiert, die Instruktion unter Verwendung der im zweiten Speicherbereich
10 408 gespeicherten Daten auszuführen.

Die Funktionsweise der Speicherzelle 600 bei einem Lesezugriff des Koprozessors 402 auf den zweiten Speicherbereich 408 wird im Folgenden erläutert.

- 15 Befindet sich die Speicherzelle 600 in der durch die Leseadresse 520 spezifizierten Zeile des Parameterspeichers 500 wird, wie oben beschrieben, mittels der Lese-Wortleitung 604 ein Bit, das den Wert Eins aufweist, von dem
20 Leseadressdekoder 515 an einen Tri-State-Treiber 608 übermittelt.

- In diesem Fall liegt an dem Steuereingang des Tri-State-Treibers 608 der Wert Eins an. Somit gibt der Tri-State-
25 Treiber 608 den Wert aus, der an seinem Dateneingang anliegt, also den Wert des in dem zweiten Speicherelement 602 gespeicherten Bits.

- Befindet sich die Speicherzelle 600 nicht in der durch die
30 Leseadresse 520 spezifizierten Zeile des Parameterspeichers 500 wird, wie oben beschrieben, mittels der Lese-Wortleitung 604 ein Bit, das den Wert Null aufweist, von dem Leseadressdekoder 515 an den Tri-State-Treiber 608 übermittelt.

In diesem Fall liegt an dem Steuereingang des Tri-State-Treibers 608 der Wert Null an. Somit nimmt der Tri-State-Treiber einen hochohmigen Ausgangszustand an.

5

Somit weist bei einem Lesezugriff die Lese-Bitleitung 605 den Wert auf, der in dem zweiten Speicherelement 602 der der Lese-Bitleitung 605 entsprechenden Speicherzelle 600 in der durch die Leseadresse 520 adressierten Speicherzellenzeile
10 gespeichert ist.

In dieser Ausführungsform ersetzt die Kopplung des ersten Speicherelements 601 und des zweiten Speicherelements 602 innerhalb der Speicherzelle 600 einen Transferbus, wie ihn
15 zum Beispiel das in Figur 2 gezeigte Computersystem 200 aufweist.

Mittels dieser lokalen, direkten Eins-Zu-Eins-Kopplung des ersten Speicherelements 601 und des zweiten Speicherelements
20 602 innerhalb einer Speicherzelle erfolgt die Datenübertragung von dem ersten Speicherbereich 407 in den zweiten Speicherbereich 408 lokal innerhalb der Speicherzelle 600.

25 Somit weist die Speicherzelle 600 einen lokalen Transferbus auf, wodurch ein weiterer Transferbus zwischen dem ersten Speicherbereich 407 und dem zweiten Speicherbereich 408 nicht erforderlich ist und insbesondere ermöglicht wird, dass der Kopiervorgang zwischen dem ersten Speicherbereich 407 und dem
30 zweiten Speicherbereich 408 in einem Taktzyklus durchgeführt werden kann.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] US 6 411 301 B1

5 [2] US 2003/0222877 A1

[3] US 6 501 480 B1

Bezugszeichenliste

100	Computersystem
101	Standardprozessor
102	Computerbus
103	Speicher
104	Koprozessor
105	Bildschirm
106	Datenübertragungs-/Speichereinrichtung
107	DVD-Laufwerk
108	Tastatur
109	Maus
110	Instruktionen
111	Daten
200	Computersystem
201	Standardprozessor
202	Systembus
203	Transferbus
204	Koprozessorbus
205	Master-Bank
206	Slave-Bank
207	Steuervorrichtung
208	Schnittstellensteuervorrichtung
209	Speichersteuervorrichtung
210	Datenübertragungs-/Speichereinrichtung
300	Ablaufdiagramm
301-307	Verarbeitungsschritte
400	Computersystem
401	Standardprozessor
402	Koprozessor
403	Schnittstellensteuervorrichtung
404	Parameterspeicher
405	Systembus
406	Koprozessorbus

407	erster Speicherbereich
408	zweiter Speicherbereich
500	Parameterspeicher
501-512	Speicherzellen
513	Schreibverstärker
514	Leseverstärker
515	Schreibadressdekoder
516	Leseadressdekoder
517	Transfersteuersignalleitung
518	Schreibdaten
519	Schreibadresse
520	Leseadresse
521	Lesedaten
522	Transfersteuersignal
600	Speicherzelle
601	erstes Speicherelement
602	zweites Speicherelement
603	Schreib-Bitleitung
604	Schreib-Wortleitung
605	Lese-Bitleitung
606	Lese-Wortleitung
607	Transfersignal
608	UND-Gatter
609	Steuereingang
610	Steuereingang
611	Dateneingang
612	Dateneingang

Patentansprüche:

1. Computersystem zur elektronischen Datenverarbeitung, aufweisend:

- 5 - eine erste Datenverarbeitungseinheit;
- eine zweite Datenverarbeitungseinheit;
- eine Datenübertragungs-Speichereinrichtung, die eingangsseitig mit der ersten Datenverarbeitungseinheit und ausgangsseitig mit der zweiten Datenverarbeitungseinheit
- 10 gekoppelt ist, welche Datenübertragungs-Speichereinrichtung eingerichtet ist, Datensätze von der ersten Datenverarbeitungseinheit an die zweite Datenverarbeitungseinheit zu übertragen, wobei die Datenübertragungs-Speichereinrichtung einen ersten
- 15 Speicherbereich und einen zweiten Speicherbereich aufweist, wobei der erste Speicherbereich und der zweite Speicherbereich eingerichtet sind, jeweils einen Datensatz zu speichern, und wobei die Datenübertragungs-Speichereinrichtung derart eingerichtet ist, dass die
- 20 Übertragung eines von der ersten Datenverarbeitungseinheit an die zweite Datenverarbeitungseinheit zu übertragenden Datensatzes gemäß folgender Schritte erfolgt:
 - Übermitteln der Information, ob die zweite Datenverarbeitungseinheit für die Datenübertragung bereit
 - 25 ist, an die Datenübertragungs-Speichereinrichtung;
 - Entscheiden, basierend auf der Information, ob die zweite Datenverarbeitungseinheit für die Datenübertragung bereit ist, ob das Kopieren freigegeben ist;
 - Übermitteln zum ersten Speicherbereich und Speichern
 - 30 im ersten Speicherbereich der in dem zu übertragenden Datensatz enthaltenen Daten;
 - Kopieren des in dem ersten Speicherbereich gespeicherten Datensatzes in den zweiten Speicherbereich, wenn das Kopieren freigegeben ist;

- Übermitteln des in dem zweiten Speicherbereich gespeicherten Datensatzes an die zweite Datenverarbeitungseinheit.

5 2. Computersystem gemäß Anspruch 1, wobei das Kopieren freigegeben ist, wenn keine Daten von dem zweiten Speicherbereich an die zweite Datenverarbeitungseinheit übermittelt werden.

10 3. Computersystem gemäß Anspruch 1 oder 2, wobei im Schritt des Übermittels zum ersten Speicherbereich und Speichern im ersten Speicherbereich der in dem zu übertragenden Datensatz enthaltenen Daten nur solche Daten übertragen werden, die nicht in dem in dem ersten
15 Speicherbereich gespeicherten Datensatz enthalten sind.

 4. Computersystem gemäß einem der Ansprüche 1 bis 3, wobei die erste Datenverarbeitungseinheit ein Standardprozessor und die zweite Datenverarbeitungseinheit
20 ein Koprozessor ist und die mittels der Datenübertragungs-Speichereinrichtung zu übertragene Daten für die Ausführung einer Programminstruktion durch den Koprozessor erforderlich sind.

25 5. Computersystem gemäß einem der Ansprüche 1 bis 4, wobei der erste Speicherbereich eine erste Speicherbank ist und der zweite Speicherbereich eine zweite Speicherbank ist, und von der ersten Speicherbank in die zweite Speicherbank mittels eines Transferbusses Daten übertragen werden können.

30

 6. Computersystem gemäß 5, wobei die erste Datenverarbeitungseinheit mittels eines Systembusses mit der ersten Speicherbank gekoppelt ist und der Transferbus eine höhere Bandbreite als der Systembus aufweist.

7. Computersystem gemäß einem der Ansprüche 1 bis 4,
wobei die Datenübertragungs-Speichereinrichtung eine Mehrzahl
von Speicherzellen aufweist, die jeweils ein erstes
5 Speicherelement und ein zweites Speicherelement aufweisen,
wobei jedes Speicherelement eingerichtet ist, ein einzelnes
Bit zu speichern und wobei beim Kopieren des in dem ersten
Speicherbereich gespeicherten Datensatzes in den zweiten
Speicherbereich das in dem jeweiligen ersten Speicherelement
10 einer Speicherzelle gespeicherte Bit in das jeweilige zweite
Speicherelement der Speicherzelle mittels einer lokalen
Kopplung kopiert wird.

8. Computersystem gemäß einem der Ansprüche 1 bis 7,
15 wobei beide Speicherbereiche auf einem Speicherchip
untergebracht sind.

9. Computersystem gemäß einem der Ansprüche 1 bis 8,
wobei der Koprozessor ein Grafik-, Bildverarbeitungs- oder
20 mathematischer Koprozessor ist.